

PC/104 规范

V 2.5

2003 年 11 月

请注意

本规范今后仍可能有所改动，对此我们将不会另行发布公告。PC/104 嵌入式协会已经全力确保本材料的准确性，但是，对于应用本规范带来的损失——不管是意外性还是必然性——或者有关费用，协会将决不负责。发现错误，敬请告知PC/104 嵌入式协会。

PC/104 是 PC/104 嵌入式协会的商标；其他所有标志均为各企业的私有财产。

版权 1992~2003，PC/104 嵌入式协会

修订史

1992年3月，PC/104规范V 1.0首次发布。

1994年7月，PC/104规范V 2.1发布。该版本做了如下变动，以保持与IEEE P996.1标准初稿（D1.00版）相一致：

- a. 有关总线选项。删除了“第二种配置选择”，该配置带有直角P1、P2连接器，取而代之的是一种类似于“第一种配置”、但没有叠穿式管脚的配置方案。并增加一条说明：需要的话，8比特模块也可以包含一个P2连接器。
- b. 为8比特总线模块新增2个额外的安装孔，这样对于8比特和16比特模块，安装孔均可适用。
- c. 沿模块的总线边缘增加一个I/O连接器区域。
- d. 将I/O匹配连接器区域的宽度由0.4增加到0.5。
- e. 改变I/O匹配连接器区域的长度，使其边缘与邻近安装孔的环孔外边缘对齐。
- f. 将信号的总线驱动要求由原来的6mA降低到4mA。
- g. 在规范中增加对模块电源的要求。
- h. 在附录C的第三部分，将共享中断信号线上拉电阻的最小值由10K Ω 调整到15K Ω 。
- i. 新增一个章节用以定义PC/104一致性级别。

1994年9月，PC/104规范V 2.2发布。

增加了附录C的修改示意图。

1996年6月，PC/104规范V 2.3发布。

- a. 在附录C的示意图上做以更正。
- b. 在16比特模块尺寸图中，更改P2连接器1号管脚的命名。
- c. 添加米制量纲，使模块尺寸图同时以米制单位标示。
- d. 少量的格式改变。

2001年8月，PC/104规范V 2.4发布。

- a. 增加附录D，描述连接器规范。
- b. 删除参考资料中所有具体的公司名称。
- c. 更正协会的联系地址及电话。
- d. 添加对ISA规范新的参考文献。
- e. 删除所有机械图。

2003年11月，PC/104规范V 2.5发布。

- a. 重新设置、更新部分章节
 1. 新增第二章，描述ISA信号线的定义。
 2. 原来第三章描述的电气规范，是现在的第四章。
 3. 原来第四章描述的一致性级别，是现在的第五章。
 4. 原来的附录D连接器规范，并入附录A。
- b. 参照Edward Solari所著的《ISA & EISA理论与操作》一书，修改信号线名称。

1. 将 IOCHCHK* 改为 IOCHK*
 2. 将 RESETDRV 改为 RESET
 3. 将 ENDXFR 改为 SRDY*
 4. 将 SYSCLK 改为 BCLK
 5. 将 MASTER* 改为 MASTER16*
- c. 用 AutoCAD 重新绘制机械图，以英制和米制两种单位同时标示。
 - d. 图 5 中，接触端子母头镀层从最少 20 微英寸改为 15 微英寸。
 - e. 图 5 中，拔出力从平均最小 1 盎司变为每管脚最小 1 盎司。

目录

1. 概述.....	5
1.1 参考资料.....	5
1.2 联系方式.....	6
2. 机械规范.....	7
2.1 模块尺寸.....	7
2.2 模块堆的选择.....	7
2.3 安装位置.....	7
3. ISA 信号线定义.....	9
3.1 地址和数据信号线.....	9
3.2 周期控制信号线.....	9
3.3 总线控制信号线.....	10
3.4 中断信号线.....	11
3.5 DMA 信号线.....	11
4. 电气规范.....	12
4.1 信号分配.....	12
4.2 增加的地线.....	12
4.3 交流信号时序.....	12
4.4 直流信号电平.....	12
4.5 总线驱动电流.....	12
4.6 中断共享选择.....	13
4.7 总线端接选择.....	13
4.8 模块供电要求.....	13
5. 一致性级别.....	14
5.1 PC/104 “兼容”.....	14
5.2 PC/104 “总线兼容”.....	14
附录 A.....	15
附录 B.....	20
附录 C.....	22
图 1: 一种模块堆布局.....	8
图 2: PC/104 8 比特模块尺寸.....	15
图 3: PC/104 16 比特模块尺寸.....	16
图 4: 8 比特、16 比特 ISA 总线连接器尺寸.....	17
图 5: 8 比特、16 比特 ISA 总线连接器规范.....	19
图 6: 典型的中断共享电路.....	23
表 1: 模块电源要求.....	13
表 2: 8 比特、16 比特 ISA 总线信号分配.....	20

PC/104 规范 (V2.5)

2003 年 3 月发布

1. 概述

尽管 PC、PC/AT 结构在通用（桌上型电脑）和专用领域（非桌上型电脑）中的使用非常广泛，但在嵌入式微机的应用中，却由于标准 PC、PC/AT 主板和扩充卡的巨大尺寸而受到了限制。

这里为紧凑型的 ISA(PC、PC/AT)总线结构提供了机械和电气规范，这种结构是为嵌入式系统应用的特殊要求而优化的，其总线结构的 104 个信号线分布在两个总线连接器上——P1 连接器上有 64 个信号引脚、P2 连接器上有 40 个信号引脚——所以称这种总线结构为“PC/104”。

简言之，通过以下几项与标准 ISA 总线的主要区别，PC/104 满足了嵌入式应用的需要：

- 将板卡的长宽比降至 3.775 英寸比 3.550 英寸（即 96mm 比 90mm）。
- 通过自堆叠总线，省去了对底板或板卡插槽的需求。
- 通过将多数信号的总线驱动电流减小至 4mA，将元件数量和功耗降到最低（典型地，模块功耗为 1-2 W）。

PC/104 为两类模块（8 比特和 16 比特）制订了相应的规范，分别对应于 PC 和 PC/AT 总线。

1.1 参考资料

由 Annabooks 出版、Edward Solari 编著的《ISA & EISA 理论与操作》详细地介绍了 ISA 总线，本规范参照该书列出了与 ISA 总线的不同之处。基于 PC/104 的模块和系统设计人员应熟悉 ISA 规范，其获取途径为：

Annabooks

12860 Danielson Court

Poway, CA USA 92064

电话： 800.462.1042 or 858.435.2000

传真： 858.391.5616

网址： <http://www.annabooks.com>

1.2 联系方式

如发现本档中存在错误，请将修改意见寄往：

PC/104 Embedded Consortium

P.O. Box 78008

San Francisco, CA 94107-8008

电话： 415.243.2104

传真： 415.836.9094

电子邮件： info@pc104.org

网址： <http://www.pc104.org>

2. 机械规范

2.1 模块尺寸

PC/104 模块有 8 比特和 16 比特两种总线类型，分别与 PC 和 PC/AT 总线相对应。附录 A 给出了这两种 PC/104 总线模块详细的机械尺寸图。

2.2 模块堆的选择

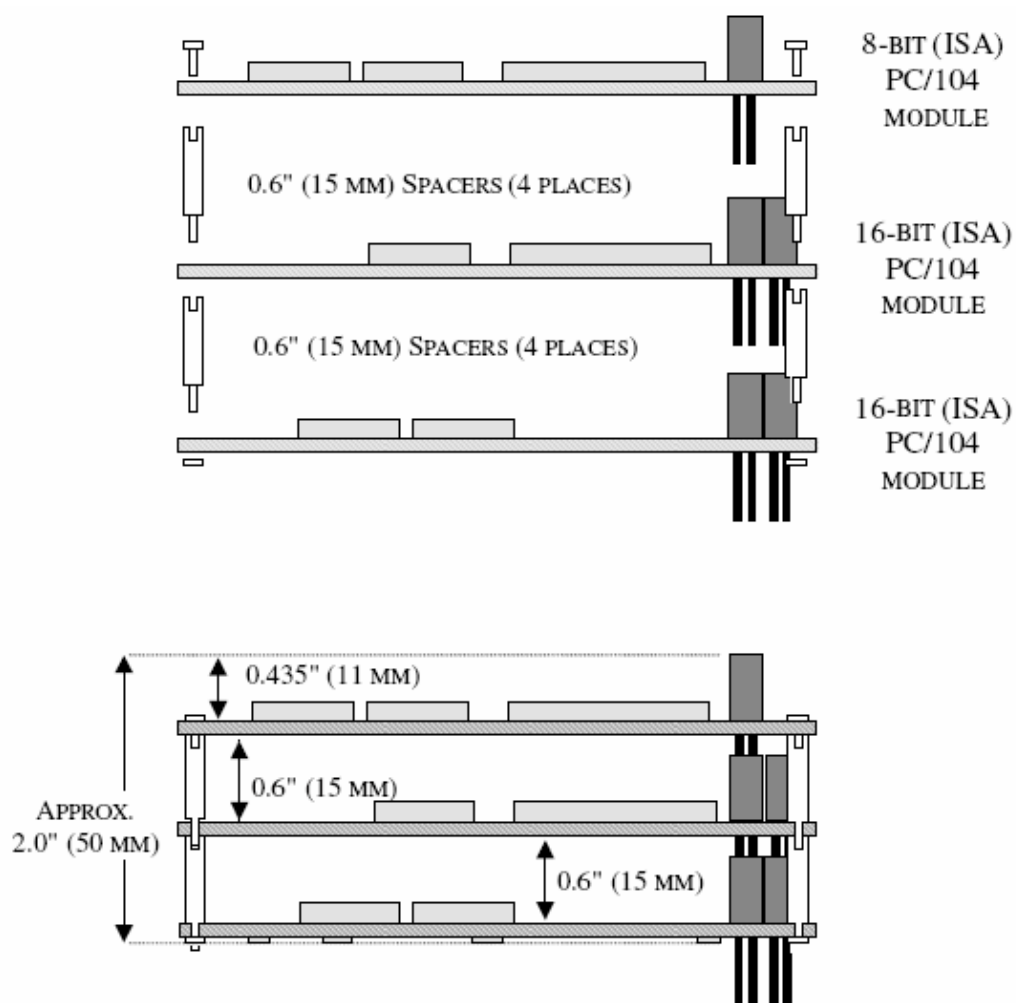
如附录 A 中的图所示，每种总线（8 比特和 16 比特）类型都提供两种总线连接选择，属于哪一种总线连接，是根据 P1 和 P2 总线连接器是否作为穿越模块的堆叠连接器而定的。设置总线选择的目的在于满足嵌入式应用所要求的紧凑空间。

图 1 给出了一个典型的模块堆，其中包括 8 比特和 16 比特的模块，它说明了“叠穿式”和“非叠穿式”总线选择的用法。如图 1 所示，当一个堆栈同时连接 8 比特和 16 比特模块时，16 比特模块必须置于 8 比特模块之下（即 8 比特模块的背面）。在设计 8 比特模块时，可以有选择的加入一个“辅助的” P2 总线连接器，以允许在堆栈的任何位置使用 8 比特模块。

2.3 安装位置

安装位置——包括 P1、P2 上省略的引脚及 J1、J2 上的插孔——在每个总线连接器上都已经指定好了，以保证连接器的正确连接。参见附录 B。

图 1：一种模块堆布局



3. ISA 信号线定义

关于 ISA 总线详细的电气要求以及全部的总线信号定义，请参阅 Edward Solari 编写的《ISA & EISA 理论与操作》一书。

3.1 地址和数据信号线

BALE	总线地址锁存使能 信号线由平台 CPU 驱动，用来表示 SA<19:0>、LA<23:17>、AENx 以及 SBHE#信号线在什么时候有效。当 ISA 扩展卡或 DMA 控制器占用总线时，它也被置为逻辑 1。
SA<19:0>	地址 信号线由当前 ISA 总线的拥用者驱动，定义用来访问存储器最低的 1MB 地址空间所需要的低 20 根地址信号线。
LA<23:17>	锁存地址 信号线由当前 ISA 总线拥有者或 DMA 控制器驱动，所提供的附加的地址信号线是用来访问 16MB 的存储器地址空间。
SBHE#	系统字节高位使能 信号线由当前 ISA 总线拥有者驱动，以表明有效数据在 SD<15:8>信号线上。
AENx	地址使能 信号线由平台电路驱动，以告知 ISA 资源不能对地址信号线和 I/O 命令信号线进行响应。通过这个信号线，可以通知 I/O 资源一个 DMA 传送周期正在执行，而且只有带有有效 DACKx#信号线的 I/O 资源才能响应 I/O 信号线。
SD<15:0>	数据 信号线 0-7 或 8-15 由一个 8 比特数据周期驱动，而 0-15 由一个 16 比特数据周期驱动。

3.2 周期控制信号线

MEMR#	存储器读 信号线由当前 ISA 总线拥有者或 DMA 控制器驱动，在一个周期内请求存储器资源将数据送至总线。
SMEMR#	系统存储器读 信号线在一个周期内请求存储器资源将数据送至总线。当 MEMR#为有效状态，并且 LA<23:20>信号线译码到第 1MB 空间时，该信号线有效。
MEMW#	存储器写 信号线请求存储器资源接收数据线上的数据。

SMEMW#	系统存储器写 信号线在一个周期内请求存储器资源接收数据线上的数据。当 MEMW# 为有效状态，并且 LA<23:20> 信号线译码到第 1MB 空间时，该信号线有效。
IOR#	I/O 读 信号线由当前总线拥有者或 DMA 控制器驱动以请求 I/O 资源在此周期内将数据送至数据总线。
IOW#	I/O 写 信号线请求 I/O 资源接收数据总线上的数据。
MEMCS16#	存储器 16 位选择 信号线由存储器资源驱动，以示该资源支持 16 位数据存取周期，并允许当前 ISA 总线拥有者执行较短的周期。
IOCS16#	I/O 16 位芯片选择 信号线由 I/O 资源驱动，以示该资源支持 16 位数据存取周期，并允许当前 ISA 总线拥有者执行较短的缺省周期。
IOCHRDY	I/O 通道就绪 信号线允许资源对 ISA 总线拥有者表明需要延长周期时间。
SRDY#	同步就绪 信号线（或 NOWS# 无等待状态）信号线由被访问资源驱动为有效，以表明要执行一个比缺省周期更短的存取周期。

3.3 总线控制信号线

REFRESH#	存储器刷新 信号线由刷新控制器驱动，以表明将执行一个刷新周期。
MASTER16#	16 位主控 信号线仅由已经被 DMA 控制器赋予总线拥有权的 ISA 总线拥有者扩充卡驱动有效。
IOCHK#	I/O 通道检验 信号线可以由任意资源驱动。在没有特定中断的一般错误发生时，它被驱动为有效状态。
RESET	复位 信号线由平台电路驱动为有效状态。任何接收到复位信号的总线资源必须立即使所有输出驱动器处于三态，并进入适当的复位状态。
BCLK	系统总线时钟 信号线由平台电路驱动。频率为 6MHz-8MHz(±500ppm)，周期的占空比为 50% ± 约 5%（对于 8MHz 的频率而言，是 57-69 纳秒）。
OSC	振荡器 信号线是一由平台电路驱动的时钟信号。其频率为 14.31818MHz（±500ppm），周期的占空比为 45-55%。它不与任何其他总线信号线同步。

3.4 中断信号线

IRQx **中断请求**信号线允许扩充卡请求平台CPU提供的中断服务。

3.5 DMA 信号线

DRQx **DMA请求**信号线由I/O资源将其驱动为有效状态来请求平台DMA控制器服务。

DACKx# **DMA应答**信号线由平台DMA控制器驱动为有效状态以选中请求DMA传送周期的I/O设备。

TC **终端计数**信号线由平台DMA控制器驱动，以表明所有的数据已经被传送。

4.电气规范

4.1 信号分配

信号分配与 ISA 板卡插槽上连接器的顺序一致，但它们是转换到相应的头连接器引脚上的。附录 B 给出了 J1/P1 和 J2/P2 连接器上的信号分配情况。

4.2 增加的地线

增加了几个地线引脚，以最大化总线的完整性。参见附录 B。

4.3 交流信号时序

所有 PC/104 总线信号的时序都与对应的 ISA 信号时序一致。

4.4 直流信号电平

所有 PC/104 总线信号的逻辑高、低电平都与对应的 ISA 信号一致。

4.5 总线驱动电流

为了减少元件数目、使功耗以及产生的热量降至最小，将大多数总线信号的驱动要求降到了 4mA。只有一个例外，即集电极开路的驱动信号，它必须驱动被 ISA 规范定义的 330Ω 上拉电阻。这样，就使很多 ASIC 器件、HCT 系列逻辑器件能够直接驱动总线。

特别要指出的是：如 ISA 规范所述，以下信号必须由能够提供 20mA 灌电流的器件驱动：

MEMCS16*

IOCS16*

MASTER16*

SRDY*

而其它所有信号，则可以由能够提供 4mA 灌电流的器件驱动。

4.6 中断共享选择

可以选择使用一种方法，使得多个中断器件共享一根中断信号线。附录 C 提供了其设计指南，以帮助确保 PC/104 模块间的中断共享兼容。

4.7 总线端接选择

在某些系统中，可以利用 8 比特和 16 比特的 ISA 总线信号端接来增强数据信号的完整性和系统的可靠性。当包含端接时，交流端接网络必须做到接近信号线阻抗特性、并且不超过驱动器直流电流输出能力。

和 ISA 标准一样，这里推荐的终接网络由阻容网络构成，每个阻容网络则由 40-60 Ω 电阻与 30-70pF 电容串联、连于信号线与地之间。

是否需要端接以及端接如何设置，取决于特定的系统布局，应该由系统设计者决定。

4.8 模块供电要求

表 1 给出了每个模块的工作电压范围以及最大供电要求。模块不会吸收大于表中所示的工作电流。一个 PC/104 模块堆栈总的功耗要求是堆栈中各个模块所需的功耗之和。工作电压指的是在任意给定模块适合的总线连接器管脚上测量到的电压，其浮动范围为 $\pm 5\%$ 。只有系统中模块要求的那些电压才能提供总线上。

表 1：模块电源要求

额定电压	最大电压	最小电压	最大电流
+12V	+12.6V	+11.4V	1.0A
+5V	+5.25V	+4.75V	2.0A
-5V	-4.75V	-5.25V	0.2A
-12V	-11.4V	-12.6V	0.3A

5. 一致性级别

这部分提供了一些术语，意在帮助生产和使用 PC/104 总线兼容产品的厂家及用户去定义、指明与 PC/104 规范的一致性。

5.1 PC/104 “兼容”

这是指符合 PC/104 规范所有非选择性条款（包括机械和电气规范）的“PC/104 长宽比”器件。

5.2 PC/104 “总线兼容”

这是指非“PC/104 长宽比”（即不符合 PC/104 规范规定的模块尺寸）、但提供符合 PC/104 总线连接器机械和电气规范的公/母 PC/104 总线连接器的器件。

附录 A

机械尺寸

图 2: PC/104 8 比特模块尺寸

单位: 英寸/ (毫米)

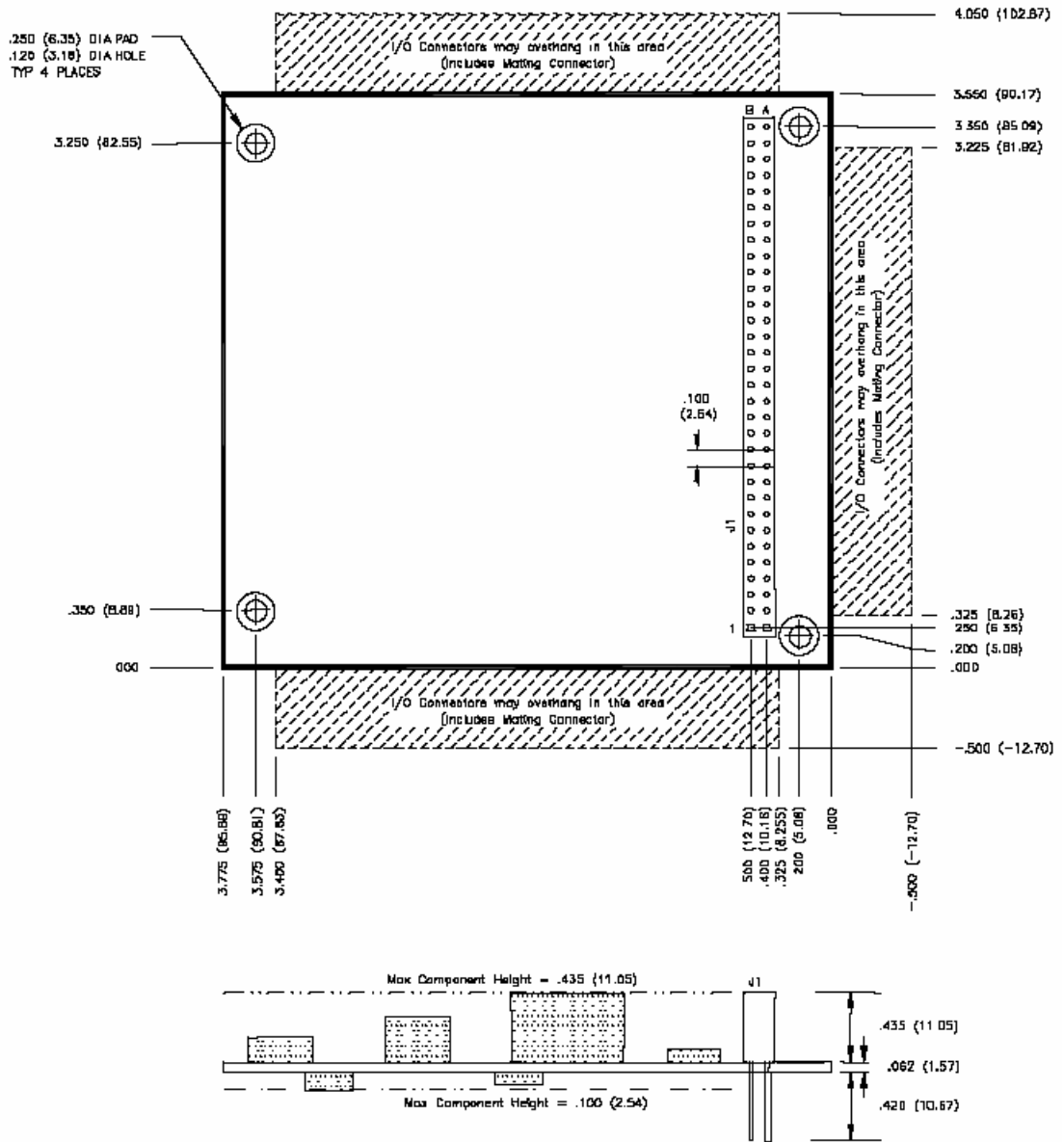


图 3: PC/104 16 比特模块尺寸

单位: 英寸/(毫米)

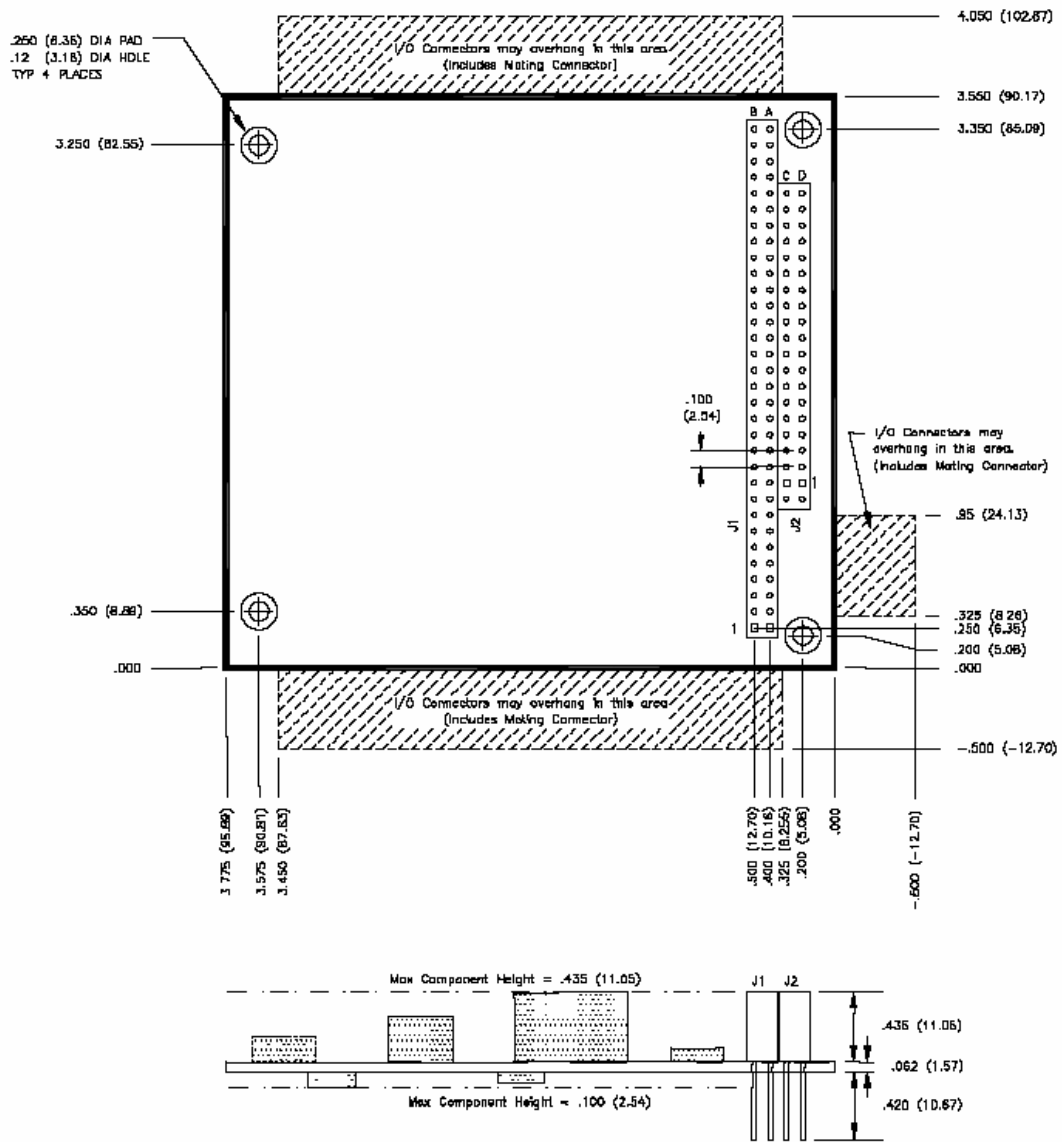


图 4: 8 比特、16 比特 ISA 总线连接器尺寸

单位：英寸/（毫米）

NOTES:

1  PRESS FIT COMPLIANT PINS PER DIN 41612 PART 5 AND IEC 352-5 CAN BE USED INSTEAD OF SQUARE PINS AS SHOWN.

2 CONFIGURATION CAN BE MADE OF ONE OR MORE PIECES.

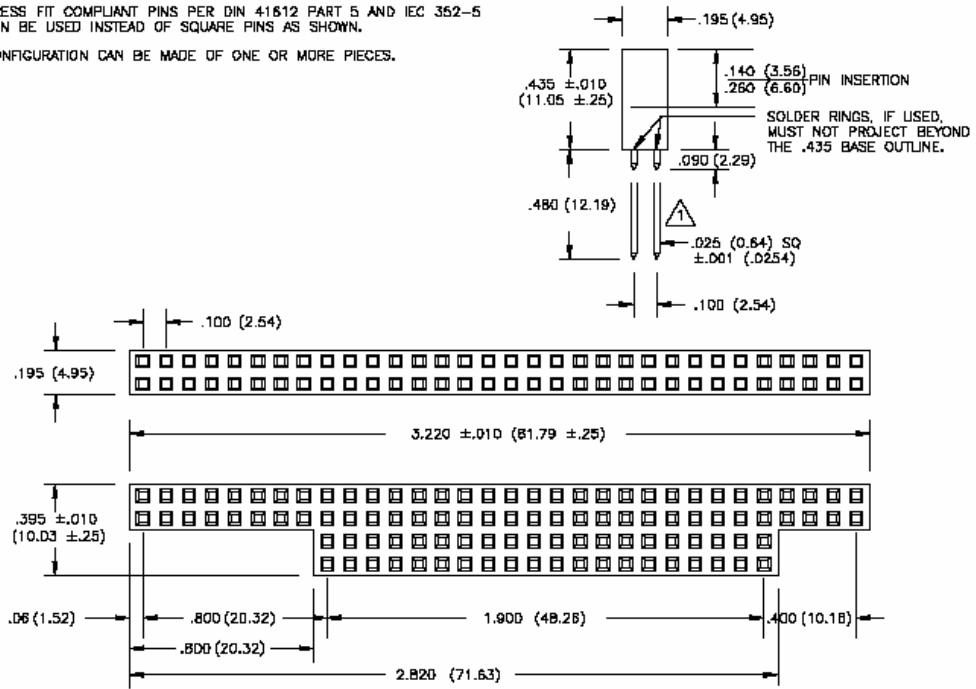


图 5: 8 比特、16 比特 ISA 总线连接器规范

材质

卡座壳:	高温热塑性材质, 阻燃性 UL 94-V0 级
触点:	磷青铜
焊料:	适用的话采用锡铅合金 (63-67)
焊接卡夹:	适用的话采用铝合金

接触端子

母头:	最少 15 微英寸电镀硬金
公头:	至小闪光焊金覆层
彗尾式焊接触点:	最少 100 微英寸焊接
底板:	最少 50 微英寸镀镍

机械特性

插入力:	最大每管脚 3.5 盎司
拔出力:	最小每管脚 1 盎司
正向力:	最小 50 克 (每接口)
机械耐久性:	至少 50 次
工作温度:	-55°C~+85°C

电气特性

接触阻抗:	最大 < 30mΩ
电流容量:	每管脚 1A 连续电流
电介质强度:	1000Vac
绝缘阻抗:	最小 5000MΩ

附录 B

总线信号分配

表 2: 8 比特、16 比特 ISA 总线信号分配

J1/P1		
管脚	A 排	B 排
1	IOCHK*	GND
2	SD7	RESET
3	SD6	+5V
4	SD5	IRQ9
5	SD4	-5V
6	SD3	DRQ2
7	SD2	-12V
8	SD1	SRDY*
9	SD0	+12V
10	IOCHRDY	KEY
11	AEN	SMEMW*
12	SA19	SMEMR*
13	SA18	IOW*
14	SA17	IOR*
15	SA16	DACK3*
16	SA15	DRQ3
17	SA14	DACK1*
18	SA13	DRQ1
19	SA12	REFRESH*
20	SA11	BCLK
21	SA10	IRQ7
22	SA9	IRQ6
23	SA8	IRQ5
24	SA7	IRQ4
25	SA6	IRQ3
26	SA5	DACK2*
27	SA4	TC
28	SA3	BALE

29	SA2	+5V
30	SA1	OSC
31	SA0	GND
32	GND	GND

J2/P2		
管脚	D 排	C 排
0	GND	GND
1	MEMCS16*	SBHE*
2	IOCS16*	LA23
3	IRQ10	LA22
4	IRQ11	LA21
5	IRQ12	LA20
6	IRQ15	LA19
7	IRQ14	LA18
8	DACK0*	LA17
9	DRQ0	MEMR*
10	DACK5*	MEMW*
11	DRQ5	SD8
12	DACK6*	SD9
13	DRQ6	SD10
14	DACK7*	SD11
15	DRQ7	SD12
16	+5V	SD13
17	MASTER*	SD14
18	GND	SD15
19	GND	KEY

注:

1. 8 比特模块不要求 C 排和 D 排，参见 2.2。
2. B10 和 C19 是安装位置，参见 2.3。
3. 信号时序及其功能与 ISA 规范中的一致。
4. 信号源/灌电流值与 ISA 规范不同，参见 4.5。

附录 C

中断共享选项

C.1 简介

ISA 总线的中断请求信号线 (IRQn) 为高电平有效。因此, 通常驱动为低电平有效的线或集电极开路技术就无法用于 PC 总线结构的中断共享。

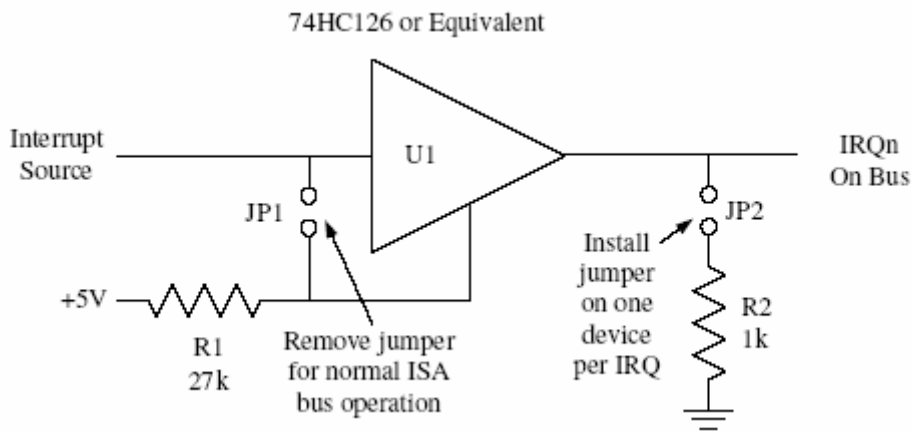
这里提供一种多个中断器件共享一根总线中断信号线的方案以供选择。本附录提供了帮助确保 PC/104 模块间共享中断兼容性的设计指南。

C.2 推荐电路

考虑到一些系统级限制, 类似于图 6 所示的电路能够提供 ISA 总线的高电平有效 IRQ 中断共享信号 (见下)。

注: 推荐电路并不符合 ISA 标准, 因为在 ISA 兼容的模式下是不可能实现中断共享的。

图 6: 典型的中断共享电路



C.3 限制

共享一个普通中断的所有总线器件必须置于合适的中断共享电路中 (参见上图 6), 同时必须符合以下两个限制条件:

■ 共享的中断信号线在系统的任何地方必须不含有小于 15KΩ 的上拉电阻 (相对于 +5 伏电压)。(典型地, 上拉电阻位于 CPU 模块, 因此, 一般来说本条是 CPU 模块的设计限制。)

一般地, 电阻性总线终端是违背这个限制条件的; 因而使用交流终端来代替 (4.7 节)。电阻, 这违反了共享中断推荐电路中允许的最小 15KΩ 的上拉电阻要求。在有这个值的上拉

电阻的系统中，置于图 6 所示电路中的器件可以通过禁止其中断共享电路来达到兼容。这是靠将 JP1 和 JP2 开路得到一个正常的 ISA（非共享）中断配置（但仍然保持与其它 PC/104 总线信号一样的降低了的总线驱动）而实现的。